

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237420

(43)Date of publication of application : 31.08.2001

(51)Int.Cl. H01L 29/78  
H01L 21/28

(21)Application number : 2000-047430 (71)Applicant : NEC CORP

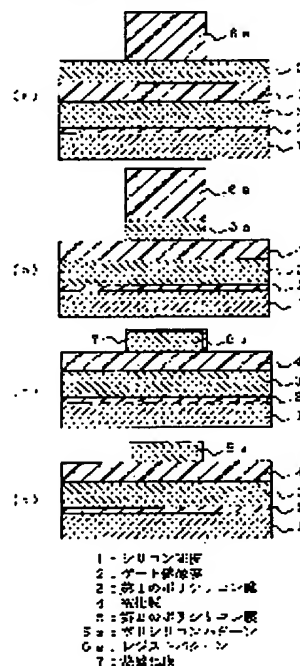
(22)Date of filing : 24.02.2000 (72)Inventor : MASUDA SHUICHI

## (54) METHOD OF FORMING GATE ELECTRODE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming gate electrodes of semiconductor device, whereby the gate electrodes of the semiconductor device can be made fine below the photolithography technological limit.

SOLUTION: After forming a gate insulating film 2, a first polysilicon film 3, a nitride film 4 and a second polysilicon film 5 in this order on a silicon substrate 1, the second polysilicon film 5 is etched anisotropically through a resist pattern 6a used as a mask, this pattern 6a is peeled off, a thermal oxide film 7 is formed on the surface of a polysilicon pattern 5a, the oxide film 7 is peeled off, the polysilicon pattern 5a is made fine, the nitride film 4 is etched through the polysilicon pattern 5a used as a mask, the first polysilicon film 3 is anisotropically etched through the patterned nitride film 4 used as a mask to form fine gate electrodes.



## LEGAL STATUS

[Date of request for examination] 16.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3425581

[Date of registration] 09.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-237420

(P 2 0 0 1 - 2 3 7 4 2 0 A)

(43)公開日 平成13年 8 月31日(2001.8.31)

(51)Int.Cl.<sup>7</sup>H01L 29/78  
21/28

識別記号

F I

H01L 21/28

29/78

テマコード<sup>\*</sup> (参考)

F 4M104

G 5F040

審査請求 有 請求項の数 9 O L (全 8 頁)

(21)出願番号 特願2000-47430(P 2000-47430)

(22)出願日 平成12年 2 月24日(2000.2.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 増田 修一

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外 2 名)

F ターム(参考) 4M104 AA01 BB01 BB30 BB31 BB32

BB33 CC05 DD43 DD65 DD71

FF13 FF14 GG09 HH14

5F040 DC01 EC01 EC04 EC07 EC13

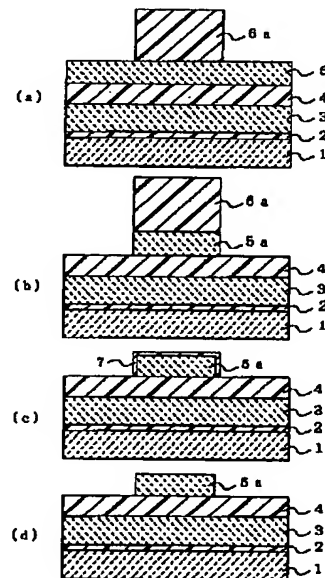
FC21 FC28

(54)【発明の名称】半導体装置のゲート電極の形成方法

(57)【要約】

【課題】半導体装置のゲート電極のフォトリソグラフィ技術限界以下の微細化ができる形成方法を提供する。

【解決手段】シリコン基板 1 上にゲート絶縁膜 2、第1のポリシリコン膜 3、窒化膜 4 および第2のポリシリコン膜 5 を順次形成した後、第2のポリシリコン膜 5 をレジストパターン 6 a をマスクに異方的にエッチングしてポリシリコンパターン 5 a を形成する。次いでレジストパターン 6 a を剥離してポリシリコンパターン 5 a の表面に熱酸化膜 7 を形成した後、この熱酸化膜 7 を剥離してポリシリコンパターン 5 a を微細化し、このポリシリコンパターン 5 a をマスクに窒化膜 4 をエッチングした後、パターニングされた窒化膜 4 をマスクに第1のポリシリコン膜 3 を異方的にエッチングして微細ゲート電極を形成する。



- 1 : シリコン基板
- 2 : ゲート絶縁膜
- 3 : 第1のポリシリコン膜
- 4 : 窒化膜
- 5 : 第2のポリシリコン膜
- 5 a : ポリシリコンパターン
- 6 a : レジストパターン
- 7 : 熱酸化膜

## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のポリシリコン膜、窒化膜および第2のポリシリコン膜を順次形成する工程と、前記第2のポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記窒化膜をドライエッチング法により異方的にエッチングしてパターンニングする工程と、前記パターンニングされた前記窒化膜をマスクに前記第1のポリシリコン膜を異方的にエッチングしてパターンニングする工程と、前記第1のポリシリコン膜上の前記窒化膜を剥離する工程とを含むことを特徴とする半導体装置のゲート電極の形成方法。

【請求項2】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のポリシリコン膜、金属膜、窒化膜および第2のポリシリコン膜を順次形成する工程と、前記第2のポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記窒化膜をドライエッチング法により異方的にエッチングしてパターンニングする工程と、前記パターンニングされた前記窒化膜をマスクに前記金属膜および前記第1のポリシリコン膜を異方的にエッチングしてパターンニングする工程と、前記金属膜上の前記窒化膜を剥離する工程とを含むことを特徴とする半導体装置のゲート電極の形成方法。

【請求項3】 前記熱酸化膜が酸化シリコン ( $\text{SiO}_2$ ) 膜である請求項1または2記載の半導体装置のゲート電極の形成方法。

【請求項4】 前記窒化膜が窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 膜である請求項1または2記載の半導体装置のゲート電極の形成方法。

【請求項5】 前記金属膜がタングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜である請求項2記載の半導体装置のゲート電極の形成方法。

【請求項6】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の窒化膜、金属膜、第2の窒化膜およびポリシリコン膜を順次形成する工程と、前記ポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記第2の窒化膜をドライエッチング法により異方的

にエッチングしてパターンニングする工程と、前記パターンニングされた前記第2の窒化膜をマスクに前記金属膜および前記第1の窒化膜を異方的にエッチングしてパターンニングする工程と、前記金属膜上の前記第2の窒化膜を剥離する工程とを含むことを特徴とする半導体装置のゲート電極の形成方法。

【請求項7】 前記第1の窒化膜がW, Ta, MoまたはTiの窒化膜である請求項6記載の半導体装置のゲート電極の形成方法。

【請求項8】 前記金属膜がW, MoまたはAgである請求項6記載の半導体装置のゲート電極の形成方法。

【請求項9】 前記第2の窒化膜が窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 膜である請求項6記載の半導体装置のゲート電極の形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置のゲート電極の形成方法に関し、特に微細なゲート電極を精度よく形成する方法に関するものである。

【0002】

【従来の技術】 従来の半導体装置のゲート電極の形成方法について、図7を参照して説明する。

【0003】 まず、図7(a)に示すように、シリコン基板1上にゲート絶縁膜2を形成する。次に同図(b)に示すように、ゲート電極となるポリシリコン膜3aを成膜した後、同図(c)に示すように、ポリシリコン膜3a上にフォトリソレジストを塗布してレジスト膜6を形成し、更に同図(d)に示すようにフォトリソグラフィによりレジストパターン6aを形成する。

【0004】 次に同図(e)に示すように、レジストパターン6aをマスクにポリシリコン膜3aをドライエッチング法により異方的にエッチングを行い、ゲート絶縁膜2上にポリシリコン膜3aからなるゲート電極が形成される。

【0005】

【発明が解決しようとする課題】 半導体素子の高集積化に伴い、半導体素子のゲート電極の微細化が要求されている。上記のようなゲート電極形成方法を使用して、ゲート寸法を小さくしたい場合、その限界寸法はフォトリソグラフィ技術における解像度に依存するために、光の波長で定まる解像度以下の微細なマスクパターンを形成することは困難である。また、解像度の限界に近い領域でマスクパターンを形成した場合の寸法バラツキは、半導体装置の許容値を超えることにもなるため、上記のゲート電極形成方法では、歩留まりの低下をもたらすという問題点があった。

【0006】 上記のゲート電極の形成方法の問題点を解決する技術が、特開平7-263297号公報や特開平8-316127号公報等に開示されている。特開平7-263297号公報の方法では、シリコン基板上にゲ

ート絶縁膜、ポリシリコン層（または金属シリサイド膜との積層膜）、酸化シリコン膜を形成した後、電子線リソグラフィでレジストパターンを形成し、このレジストパターンをマスクに酸化シリコン膜をエッチングして酸化シリコン膜をパターンニングする。この酸化シリコン膜をエッチングマスクにポリシリコン膜をエッチングしてゲート電極を形成している。このように、本技術では、電子線リソグラフィでレジストのパターン細線化を図り、ゲート電極の微細化を行っている。

【0007】特開平8-316127号公報の技術では、シリコン基板上にゲート絶縁膜、ポリシリコン膜、タングステンシリサイド膜、酸化シリコン（ $\text{SiO}_2$ ）膜を順次形成した後、酸化シリコン膜上に酸化シリコン（ $\text{SiO}$ ）膜からなる反射防止膜を形成し、次いで化学増幅型フォトレジストのレジストパターンを形成して反応性イオンエッチング（RIE）で $\text{SiO}$ 膜と $\text{SiO}_2$ 膜をエッチングしてパターンニングする。続いて、レジストパターンを剥離した後、 $\text{SiO}$ 膜と $\text{SiO}_2$ 膜をマスクにポリシリコン膜とタングステンシリサイド膜をエッチングしてゲート電極を形成している。このように、この技術では $\text{SiO}$ 膜の反射防止膜をレジストの下に設け、この膜で下層からの光の反射の影響を防止してレジストパターンの微細化を図り、ゲート電極形成用のマスクの $\text{SiO}_2$ 膜パターンの細線化を行っている。

【0008】これらの技術では、ゲート電極の微細化にある程度効果を得ているが、ゲート電極の仕上がり精度および細線化は、レジスト材料の種類、露光現像条件等の影響を受けやすい問題がある。

【0009】従って、本発明の目的は、上記の従来技術の問題点を解決し、レジストの種類や露光現像条件の影響を低減し、微細なゲート電極が精度よく形成できる半導体装置のゲート電極の形成方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置のゲート電極の形成方法の第1の構成は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のポリシリコン膜、窒化膜および第2のポリシリコン膜を順次形成する工程と、前記第2のポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記窒化膜をドライエッチング法により異方的にエッチングしてパターンニングする工程と、前記パターンニングされた前記窒化膜をマスクに前記第1のポリシリコン膜を異方的にエッチングしてパターンニングする工程と、前記第1のポリシリコン膜上の前記窒化膜を剥離する工程とを含むことを特徴とする。

【0011】本発明の半導体装置のゲート電極の形成方

法の第2の構成は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のポリシリコン膜、金属膜、窒化膜および第2のポリシリコン膜を順次形成する工程と、前記第2のポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記窒化膜をドライエッチング法により異方的にエッチングしてパターンニングする工程と、前記パターンニングされた前記窒化膜をマスクに前記金属膜および前記第1のポリシリコン膜を異方的にエッチングしてパターンニングする工程と、前記金属膜上の前記窒化膜を剥離する工程とを含むことを特徴とする。

【0012】本発明の半導体装置のゲート電極の形成方法の第3の構成は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の窒化膜、金属膜、第2の窒化膜およびポリシリコン膜を順次形成する工程と、前記ポリシリコン膜をフォトリソグラフィでパターンニングしてポリシリコンパターンを形成する工程と、前記ポリシリコンパターンを熱酸化して表面に熱酸化膜を形成する工程と、前記熱酸化膜を剥離する工程と、前記熱酸化膜を剥離した前記ポリシリコンパターンをマスクに前記第2の窒化膜をドライエッチング法により異方的にエッチングしてパターンニングする工程と、前記パターンニングされた前記第2の窒化膜をマスクに前記金属膜および前記第1の窒化膜を異方的にエッチングしてパターンニングする工程と、前記金属膜上の前記第2の窒化膜を剥離する工程とを含むことを特徴とする半導体装置のゲート電極の形成方法。

【0013】上記の第2構成においては、ゲート電極材料をポリシリコン膜とタングステンシリサイドやチタンシリサイド等の金属シリサイド膜との積層膜することにより低抵抗の微細ゲート電極が形成される。

【0014】上記の第3の構成における前記第1の窒化膜には、 $\text{W}$ 、 $\text{Ta}$ 、 $\text{Mo}$ または $\text{Ti}$ の窒化膜が使用でき、また前記金属膜には、 $\text{W}$ 、 $\text{Mo}$ または $\text{Ag}$ 等の金属膜が使用できる。本構成においては、これらのゲート電極材料を使用することにより低抵抗の微細ゲート電極が形成される。

【0015】上記の本発明の第1～第3の構成では、最上層にフォトリソグラフィによりポリシリコン膜をパターンニングし、このポリシリコンパターン表面を熱酸化した後、この熱酸化膜を剥離する。この結果ポリシリコンパターンの幅はフォトリソグラフィで形成されたパターン幅よりもさらに熱酸化膜の膜厚の2倍を減じた幅に微細化できる。このさらに微細化されたポリシリコンパターンをマスクに下層のゲート電極材料をエッチングすることによりフォトリソグラフィの限界以下の微細なゲート電極が形成できる。

10

20

30

40

50

## 【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】図1～図3は、本発明の第1の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための基板要部の断面図である。

【0018】まず、図1(a)に示すように、シリコン基板1上に通常の酸化処理をすることによりゲート絶縁膜2を例えば2nmに形成する。

【0019】次に図1(b)に示すように、減圧CVD法によりゲート電極となる第1のポリシリコン膜3をゲート絶縁膜2上に例えば厚さ150nmに成膜した後、図1(c)に示すように、減圧CVD法またはプラズマCVD法等により窒化膜(Si<sub>3</sub>N<sub>4</sub>)4を例えば厚さ100nmに成膜する。

【0020】次にゲート電極の加工時にマスクとなる第2のポリシリコン膜5を減圧CVD法により例えば厚さ100nmに成膜する。

【0021】次に図1(d)に示すように、第2のポリシリコン膜5上に化学増幅系のポジ型フォトリソグレイを塗布してレジスト膜6を形成し、更に図2(a)に示すようにKrFエキシマレーザ光等を用いたフォトリソグラフィによりレジストパターン6aを形成する。

【0022】次に図2(b)に示すように、レジストパターン6aをマスクに第2のポリシリコン膜5をドライエッチング法により異方的にエッチングを行いポリシリコンパターン5aが形成される。その後レジストパターン6aを除去する。

【0023】次に図2(c)に示すように、ポリシリコンパターン5aを通常の熱酸化法により酸化して所定の厚さの熱酸化膜7をポリシリコンパターン5aの表面に形成する。

【0024】次に図2(d)に示すように、ウエットエッチングにより等方的に熱酸化膜7を除去する。図2(b)におけるポリシリコンパターンの幅をL(nm)とし、図2(c)の熱酸化膜7の膜厚をX(nm)とすれば、図2(d)におけるウエットエッチングで熱酸化膜7が除去され、ポリシリコンパターン5aの幅はL(nm)から2X(nm)を減じた幅に微細化できる。

【0025】次に図3(a)に示すように、ポリシリコンパターン5aをマスクに窒化膜4をドライエッチング法により異方的にエッチングする。

【0026】続いて図3(b)に示すように、第1のポリシリコン膜3をドライエッチング法により異方的にエッチングする。その際ポリシリコンパターン5aもエッチングされるため、ゲート絶縁膜2上にはパターンニングされた第1のポリシリコン膜3と窒化膜4のみが存在することになる。

【0027】続いて図3(c)に示すように、窒化膜4をドライエッチング法またはウエットエッチング法によ

り除去することによって、ゲート絶縁膜2上に微細な第1のポリシリコン膜からなるゲート電極3bが形成される。

【0028】次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。

【0029】図4～図6は、本発明の第2の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための基板要部の断面図である。本実施の形態では、ゲート電極材料をポリシリコン膜とタングステンシリサイド膜、チタンシリサイド膜またはコバルトシリサイド膜等からなる金属膜の積層膜としてゲート電極の電気抵抗を下げた場合である。

【0030】まず、図4(a)に示すように、シリコン基板1上に通常の酸化処理をすることによりゲート絶縁膜2を例えば厚さ2nmに成膜する。

【0031】次に図4(b)に示すように、減圧CVD法によりゲート電極となる第1のポリシリコン膜3をゲート絶縁膜2上に例えば厚さ150nmに成膜した後、図4(c)に示すように、第1のポリシリコン膜3上に減圧CVD法やプラズマCVD法等によりタングステンシリサイド、チタンシリサイドまたはコバルトシリサイド膜等からなる金属膜10(例えば、膜厚100nm)と窒化膜(Si<sub>3</sub>N<sub>4</sub>)4(例えば、膜厚100nm)を順次堆積する。

【0032】次に窒化膜4上にゲート電極の加工時にマスクとなる第2のポリシリコン膜5を減圧CVD法により例えば100nmの膜厚に成膜する。

【0033】次に図4(d)に示すように、第2のポリシリコン膜5上に化学増幅系のポジ型フォトリソグレイを塗布してレジスト膜6を形成し、更に図5(a)に示すようにKrFエキシマレーザ光等を用いたフォトリソグラフィによりレジストパターン6aを形成する。

【0034】次に図5(b)に示すように、レジストパターン6aをマスクに第2のポリシリコン膜5をドライエッチング法により異方的にエッチングを行いポリシリコンパターン5aが形成される。その後レジストパターン6aを除去する。

【0035】次に図5(c)に示すように、ポリシリコンパターン5aを熱酸化法により酸化して所定の厚さの熱酸化膜7をポリシリコンパターン5aの表面に形成する。

【0036】次に図5(d)に示すように、ウエットエッチングにより等方的に熱酸化膜7を除去する。図5(b)におけるポリシリコンパターンの幅をL(nm)とし、図5(c)の熱酸化膜7の膜厚をY(nm)とすれば、図5(d)におけるウエットエッチングで熱酸化膜7が除去され、ポリシリコンパターン5aの幅はL(nm)から2Y(nm)を減じた幅に微細化される。

【0037】次に図6(a)に示すように、ポリシリコンパターン5aをマスクに窒化膜4をドライエッチング

法により異方的にエッチングする。

【0038】続いて図6 (b) に示すように、窒化膜4をマスクに第1のポリシリコン膜3および金属膜10をドライエッチング法により異方的にエッチングする。その際ポリシリコンパターン5aもエッチングされるため、ゲート絶縁膜2上にはパターニングされた第1のポリシリコン膜3、金属膜10と窒化膜4のみが存在することになる。

【0039】続いて図6 (c) に示すように、窒化膜4をドライエッチング法またはウェットエッチング法により除去することによって、ゲート絶縁膜2上に微細にパターニングされた第1のポリシリコン膜3と金属膜10からなるゲート電極20が形成される。

【0040】次に、本発明の第3の実施の形態について説明する。本実施の形態では、上記の本発明の第2の実施の形態におけるゲート電極材料の第1のポリシリコン膜とシリサイドからなる金属膜の積層膜をW, Ta, MoまたはTi等の窒化膜とW, MoまたはAg等の金属膜の積層膜に置換えた場合である。ゲート電極材料上の窒化膜 (Si, N, 膜) およびポリシリコン膜のエッチングマスク形成方法およびエッチング条件等は上記の第2の実施の形態と同様である。本実施の形態でも上記の第2の実施の形態と同様に低抵抗の微細なゲート電極が形成できる。

【0041】

【発明の効果】以上説明したように、本発明では、ゲート電極材料上にフォトリソグラフィにより形成したポリシリコンパターンの表面を熱酸化し、さらにこの熱酸化膜を剥離することにより、さらにポリシリコンパターンを微細化した。この微細化されたポリシリコンパターンをゲート電極形成用エッチングマスクに使用することにより次のような効果を得ることができる。

(1) 露光装置の光源波長で定まるレジストマスクパターンの寸法よりも微細な寸法のマスクパターンを形成することができる。

(2) ポリシリコンの熱酸化による膜厚バラツキはフォトリソグラフィのバラツキに比較して小さく抑えること

ができるために、ゲート電極の寸法制御性を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための基板要部の断面図である。

【図2】本発明の第1の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための図1 (d) に続く基板要部の断面図である。

【図3】本発明の第1の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための図2 (d) に続く基板要部の断面図である。

【図4】本発明の第2の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための基板要部の断面図である。

【図5】本発明の第2の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための図4 (d) に続く基板要部の断面図である。

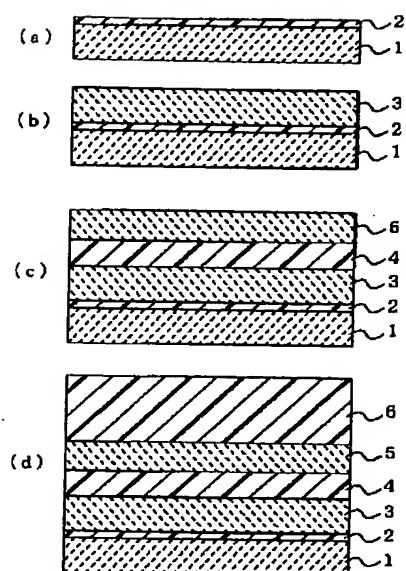
【図6】本発明の第2の実施の形態の半導体装置のゲート電極の形成方法を工程順に説明するための図5 (d) に続く基板要部の断面図である。

【図7】従来の半導体装置のゲート電極の形成方法を工程順に説明するための基板要部の断面図である。

【符号の説明】

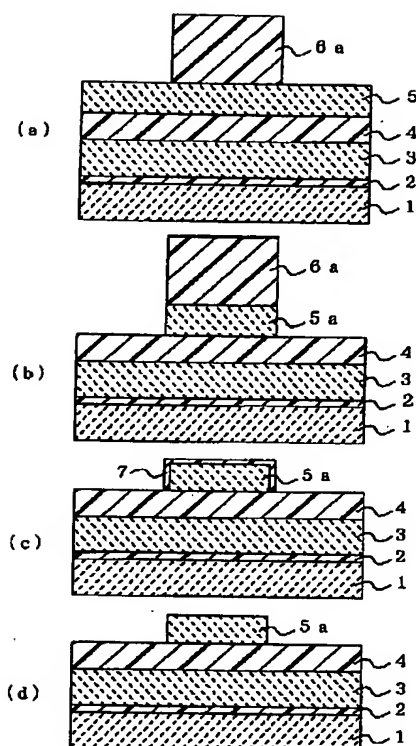
- 1 シリコン基板
- 2 ゲート絶縁膜
- 3 第1のポリシリコン膜
- 3a ポリシリコン膜
- 3b, 20 ゲート電極
- 4 窒化膜
- 5 第2のポリシリコン膜
- 5a ポリシリコンパターン
- 6 レジスト膜、
- 6a レジストパターン
- 7 熱酸化膜
- 10 金属膜

【図1】



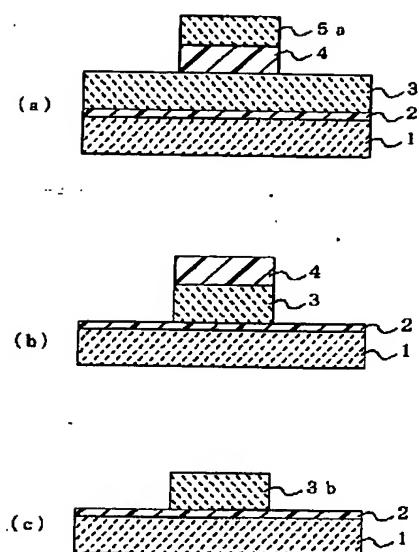
- 1 : シリコン基板  
2 : ゲート絶縁膜  
3 : 第1のポリシリコン膜  
4 : 窒化膜  
5 : 第2のポリシリコン膜  
6 : レジスト膜

【図2】



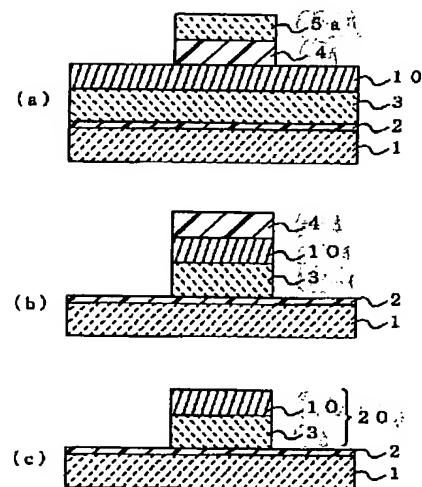
- 1 : シリコン基板  
2 : ゲート絶縁膜  
3 : 第1のポリシリコン膜  
4 : 窒化膜  
5 : 第2のポリシリコン膜  
5 a : ポリシリコンパターン  
6 a : レジストパターン  
7 : 熱酸化膜

【図3】



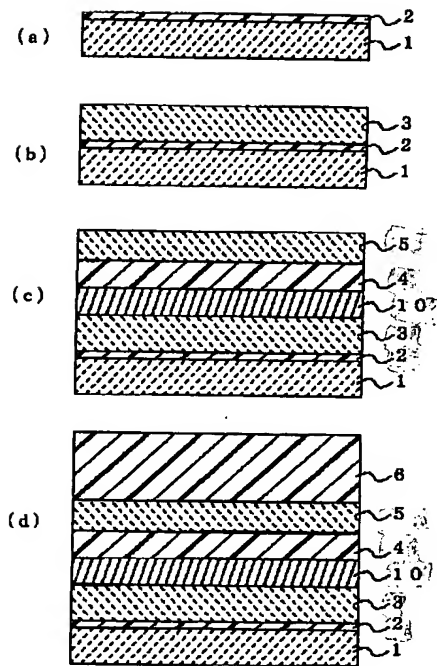
- 1 : シリコン基板  
2 : ゲート絶縁膜  
3 : 第1のポリシリコン膜  
3 b : ゲート電極  
4 : 窒化膜  
5 a : ポリシリコンパターン

【図6】



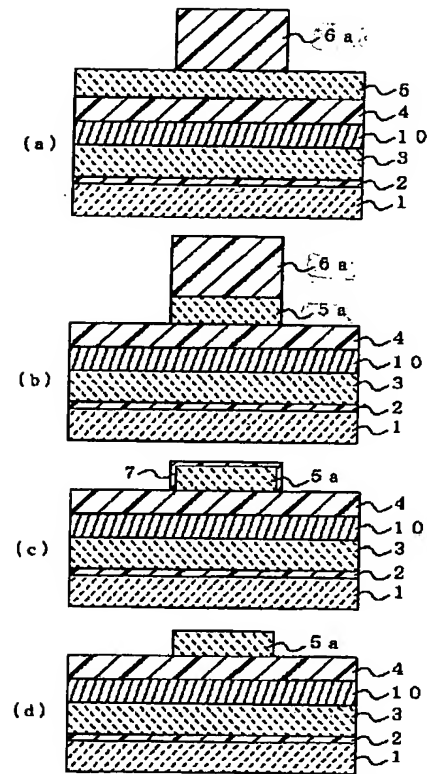
- 1 : シリコン基板  
2 : ゲート絶縁膜  
3 : 第1のポリシリコン膜  
4 : 窒化膜  
5 a : ポリシリコンパターン  
10 : 金属膜  
20 : ゲート電極

【図4】



- 1: シリコン基板  
 2: ゲート絶縁膜  
 3: 第1のポリシリコン膜  
 4: 酸化膜  
 5: 第2のポリシリコン膜  
 6: レジスト膜  
 10: 金属膜

【図5】



- 1: シリコン基板  
 2: ゲート絶縁膜  
 3: 第1のポリシリコン膜  
 4: 酸化膜  
 5: 第2のポリシリコン膜  
 5a: ポリシリコンパターン  
 6a: レジストパターン  
 7: 熱酸化膜  
 10: 金属膜



【図 7】

